

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-023119

(43)Date of publication of application : 31.01.1987

(51)Int.Cl.

H01L 21/58

(21)Application number : 60-161937

(71)Applicant : HITACHI LTD  
HITACHI VLSI ENG CORP

(22)Date of filing : 24.07.1985

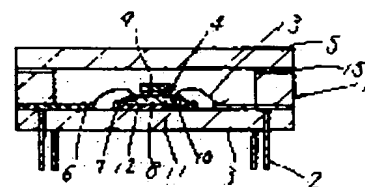
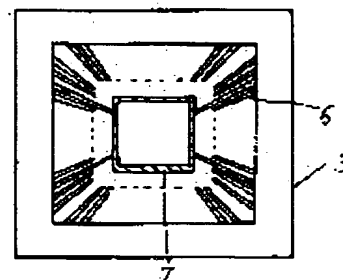
(72)Inventor : MATSUNAGA TOSHIHIRO  
TATE HIROSHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To correctly indicate the mounting position of the pellet and to form a highly reliable semiconductor device by a method wherein the positioning pattern for indicating the mounting position of the pellet of the substrate is formed of a conductive material also serving as the wirings for power source supply.

CONSTITUTION: A rectangle-shaped positioning pattern 7 is formed on the center part deeper than the lead wiring layers 6 on a packaged substrate 3. This positioning pattern 7 is formed by evaporating such a metal layer as an Al layer in the same manner as the lead wiring layers 6. Accordingly when the lead wiring layers 6 are formed, the positioning pattern 7 can be formed at the same time as the formation of the layers 6. The positioning pattern 7 keeps an electrical conduction with the prescribed lead wirings 6 at the prescribed positions, and the lead wiring 6 are electrically connected with the lead pins for power supply of lead pins 2 mounted on the back surface of the packaged substrate 3. Accordingly, the positioning pattern 7 is in a state that the supply voltage is impressed on the positioning pattern 7 via the lead pins for power supply.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-23119

⑪ Int.Cl.<sup>4</sup>  
H 01 L 21/58

識別記号

庁内整理番号  
6732-5F

⑬ 公開 昭和62年(1987)1月31日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭60-161937

⑯ 出 願 昭60(1985)7月24日

⑰ 発 明 者 松 永 俊 博 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑱ 発 明 者 箱 宏 小平市上水本町1479番地 日立超エル・エス・アイエンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立超エル・エス・アイエンジニアリング株式会社 小平市上水本町1479番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 基板上のペレット取付け位置を指示するための位置決めパターンが電源供給用配線を兼ねた導電性材料で形成されてなることを特徴とする半導体装置。
2. 導電性材料からなる位置決めパターンが基板の表面に所定形状で形成されたアルミニウム層であることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 位置決めパターンが基板の表面に形成された配線パターンと同時に形成されたものであることを特徴とする特許請求の範囲第1項もしくは第2項記載の半導体装置。
4. 基板上へのペレットの取付けが樹脂系の接合材によってなされていることを特徴とする特許請求の範囲第1項記載の半導体装置。
5. 基板がプリント基板からなり、位置決めパターンがプリント基板の配線材によって形成されて

なることを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は、半導体装置、特に半導体装置のペレット付け技術に適用して有効な技術に関する。

〔背景技術〕

半導体装置の製造工程において、パッケージ基板等のペレット取付け基板にペレットを取付ける、いわゆるペレット付け工程があるが、このときに前記基板上の所定位置にペレットを如何にして正確に載置するかがその後のワイヤボンディング等の良否に大きく影響する。

すなわち、ペレットが所定位置からずれた部位に接合されているときにはワイヤボンディングも正確な位置で行うことが不可能となり、製品不良につながるためである。

この点について、基板上の所定部位に位置決めパターンを設けることが考えられる。

ところで、上記のような位置決めパターンは単

にペレットの位置決めだけのために設けられるため、ペレット接合後は何らの利用もなされていないことが本発明者によって明らかにされた。

なお、ペレット付けの技術について説明されている例としては、株式会社工業調査会、昭和59年11月20日発行「電子材料1984年11月号別冊、超LSI製造・試験装置ガイドブック」P108～P113がある。

#### 〔発明の目的〕

本発明の目的は、多目的な用途を有する位置決めパターンを備えたパッケージ基板を供給して信頼性の高い半導体装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、基板上的ペレット取付け位置を指示するための位置決めパターンが電源供給用配線を

の一端部が各々前記基板3の中央方向に延設されており、被ボンディングポストとしてのインナーリードを形成している。一方、リード配線層6の他端側はパッケージ基板3の裏面に配設されたリードピン2と各々電気的に接続されている。パッケージ基板3上の上記リード配線層6のさらに中央部分には矩形状の位置決めパターン7が形成されている。この位置決めパターン7は前記リード配線層6と同様、アルミニウム等の金属の蒸着により形成されている。したがってリード配線層6を形成する際に同時に位置決めパターン7を形成することが可能である。

位置決めパターン7は所定位置で所定の前記リード配線6と電気的導通が保たれている。このリード配線6はパッケージ基板3の背面のリードピン2のうちの電源供給用リードピンと電気的に接続されているものである。したがって、位置決めパターン7には前記電源供給用のリードピンを経て電源電圧が印加された状態となっている。

一方、本実施例のペレット4はシリコン(Si)

覆われた導電性材料で形成された半導体装置構造とすることにより、ペレットの位置決めパターンをペレットの取付け後は電源供給用配線として使用でき、しかもこれにより電源供給をペレットの周囲から自由に行うことができるため、安定した電源供給を得ることができ、信頼性の高い半導体装置を提供することができる。

#### 〔実施例1〕

第1図は本発明の一実施例である半導体装置のパッケージ基板を示す平面図、第2図は本実施例の半導体装置の全体を示す断面図である。

本実施例1の半導体装置1はピングリッドアレイパッケージ(PGA)形状の気密封止型半導体装置であり、裏面にリードピン2がマトリクス状に配設されたセラミックからなるパッケージ基板3にペレット4が取付けられ、キャップ5により気密封止がされているものである。

パッケージ基板3の表面には例えばアルミニウム等の金属の蒸着により、所定形状のリード配線層6が形成されている。このリード配線層6はそ

うからなるペレット基板8の上に一ないしは二以上の小ペレット9が取付けられたいわゆるマザーチップ型のペレットである。このペレット基板8(マザーチップ)にはその表面の周辺近くに複数のボンディングパッド10を有しており、このボンディングパッド10から延設された配線上(図示せず)の所定位置に小ペレット9が半田バンプ11を介してフェイスダウンボンディングで接合されたものである。

上記ペレット4のパッケージ基板3への取付けは、例えばまず液状のシリコンゴム等からなる接合材12をパッケージ基板3の中央部に所定量滴下した後に、位置決めパターン7を基準にしてパッケージ基板3上にペレット4を配置する。このとき、ペレット4の配置による表面張力により液状の接合材12が所定位置から流れ出すことがあるが、本実施例1によれば、前記位置決めパターン7を一定の厚さで形成することによって位置決めパターン7がダムのはたらきをして接合材12の流出を防止することができる。

このようにしてパッケージ基板3上にペレット4を接合した後に、ワイヤボンディングにより前記パッケージ基板3上の各リード配線層6とペレット4（ペレット基板8）との電気的導通が図られる。このワイヤボンディングはたとえば金（Au）からなるワイヤ13の一端を加熱して熔融ボールを形成した後に、この熔融ボール部分をペレット基板8のボンディングパッド10に押圧して第一ボンディングを行う。次に、所定長さを確保してワイヤ13の他端部分に超音波振動を印加しながら前記リード配線6の所定部分に押圧して第二ボンディングを行う。さらにその後、ワイヤ13の余線部分を切断してなされるものである。

ところで、前記位置決めパターン7には前述のように、一定の電源電圧が印加された状態となっているため、電源供給のためのペレット基板8からのワイヤボンディングに自由度をもたせることができる。そのため、ペレット4上での電源用の引き出し配線が不要となり、安定した電源供給を行うことができる。

電性材料で形成された半導体装置構造とすることにより、ペレットの位置決めパターンをペレットの取付け後は電源供給用配線として使用できるため安定した電源供給を得ることができ、信頼性の高い半導体装置を提供することができる。

(2)、前記(1)により、ペレットの取付け位置を正確に指示することができるため、ペレットの位置ずれによりボンディング不良を防止することができる。

(3)、位置決めパターンを一定の厚さで形成することにより、ペレット接合材の流出を防止することができる。

(4)、位置決めパターンをペレットの取付け位置の前面に形成することによって、電気抵抗を低減して安定した電源供給を得ることができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

ワイヤボンディングの終了後、パッケージ基板3にはアルミナ等からなるキャップ5が低融点ガラス15によって取付けられて、ペレット4の気密封止が達成される。

#### 【実施例2】

第3図は本発明の他の実施例である半導体装置のパッケージ基板21を示す平面図である。

本実施例2のパッケージ基板21は実施例1で説明したものと略同様のものであるが、位置決めパターン27の形状のみ異なるものである。

すなわち、本実施例2では、第3図に示すようにペレットの取付け位置全面にわたってアルミニウムからなる蒸着層で位置決めパターン27が形成されたものである。このような構造の位置決めパターン27とすることにより、電源用配線の電気抵抗を低減することができるため、さらに安定した電源供給を得ることができる。

#### 【効果】

(1)、基板上のペレット取付け位置を指示するための位置決めパターンが電源供給用配線を兼ねた導

たとえば、ペレットの接合材についてはシリコンゴムに限らず、ポリイミド樹脂あるいは銀ペースト等であってもよい。

またペレットについては、マザーチップ方式のものについてのみ説明したが、単一のペレットであってもよいことも勿論である。

さらに、ボンディング方式も実施例のものに限られず、超音波ボンディングのみによる方式等のものであってもよい。パッケージ基板3は、ガラスエポキシからなるような絶縁体とその表面にはりつけられた導体層からなるいわゆるプリント基板から構成されても良い。

#### 【利用分野】

以上の説明では主として本発明者によってなされた発明をその利用分野である、いわゆるピングリッドアレイ型半導体装置に適用した場合について説明したが、これに限定されるものではなく、たとえばリードレスチップキャリア型半導体装置等の他のパッケージ形状の半導体装置に適用しても有効な技術である。

図面の簡単な説明

第1図は本発明の実施例1の半導体装置のパッケージ基板を示す平面図、

第2図は実施例1の半導体装置の全体を示す断面図、

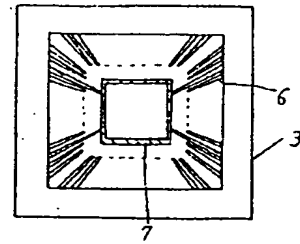
第3図は実施例2の半導体装置のパッケージ基板を示す平面図である。

1・・・半導体装置、2・・・リードピン、3・・・パッケージ基板、4・・・ペレット、5・・・キャップ、6・・・リード配線層、7・・・位置決めパターン、8・・・ペレット基板、9・・・小ペレット、10・・・ボンディングパッド、11・・・半田パンプ、12・・・接合材、13・・・ワイヤ（Au）、15・・・低融点ガラス、21・・・パッケージ基板、27・・・位置決めパターン。

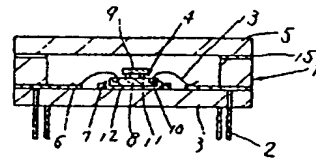
代理人 弁理士 小川 務



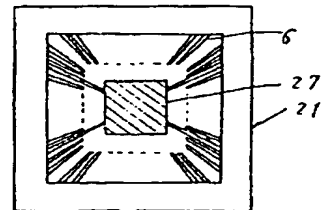
第 1 図



第 2 図



第 3 図



BEST AVAILABLE COPY